

器件级 ESD 和系统级 ESD 介绍

引言

当两种非导电的物体接触和摩擦时，一种物体的表面会获得电子，而另一种物体的表面则会失去电子而积累正电荷。当积累了大量正电荷的物体与导体非常接近或接触时，电子会迅速从导体转移到积累了正电荷的物体上，这种电子快速转移的过程就是 ESD（静电放电）。

为提高芯片的可靠性，预防生产加工过程中 ESD 造成芯片的功能损坏，通常芯片内部会集成 ESD 保护器件，并通过相应的 ESD 等级。ESD 测试可以归为两大类：器件级 ESD 测试和系统级 ESD 测试。器件级 ESD 测试一般包括 HBM（Human body Model，人体模型）、CDM（Charged Device Model，充电器件模型）和 MM（Machine Model，机器模型），系统级 ESD 测试需要按照 IEC 61000-4-2 标准实施。

在生产使用过程中，系统设计人员往往把器件级 ESD 和系统级 ESD 测试的概念混淆。系统设计人员在系统级 ESD 测试时，误以为选用 HBM 模式下最高等级 Class 3B 的 IC 就无需额外添加保护措施，导致系统级 ESD 测试时出现系统死机或者 IC 损伤的情况。本文将详细介绍器件级 ESD 和系统级 ESD 的差异，并提供系统级 ESD 在设计时的保护措施。

HBM（Human body Model），人体模型 ESD

人员在地上走动、摩擦或者其他因素会造成人体积累一定的静电，当人体接触到 IC 时，这些静电会释放至 IC 对地引脚，并会在数百纳秒内产生数安培的放电电流，此电流足以把 IC 内部元件烧毁。

在 IC 制造和使用过程中，人体接触 IC 的机会较多，由人体静电造成 IC 失效的比例相对较高。在实际应用中，IC 厂商大多采用 HBM 模式来标注 IC 的静电等级。

等级	电压范围 (V)	等级	电压范围 (V)
Class 0Z	0~50	Class 1C	1000~2000
Class 0A	50~125	Class 2	2000~4000
Class 0B	125~250	Class 3A	4000~8000
Class 1A	250~500	Class 3B	≥8000
Class 1B	500~1000	/	/

表 1. JEDEC JS-001 标准，HBM 模式下的等级和电压范围表

CDM（Charged Device Model），充电器件模型 ESD

IC 在加工运输过程中因为摩擦或接触到其他物体的静电电荷，IC 内部会逐渐积累静电电荷。当 IC 的 pin 脚直接接地或间接接地时，IC 内部积累的静电电荷便会经过 pin 脚释放造成放电现象。

等级	电压范围 (V)	等级	电压范围 (V)
Class C0a	0~125	Class C2a	500~750
Class C0b	125~250	Class C2b	750~1000
Class C1	250~500	Class C3	≥1000

表 2. JEDEC JS-002 标准，CDM 模式下的等级和电压范围表

MM（Machine Model），机器模型 ESD

产线上的机器设备在加工制造中逐渐积累静电，当机器设备接触到 IC 时，其积累的静电会经过 IC 的 pin 脚进行放电。

等级	电压范围 (V)	等级	电压范围 (V)
Class M0	0~50	Class M3	200~400
Class M1	50~100	Class M4	400~800
Class M2	100~200	Class M5	≥800

表 3. JEDEC JESD22-A115 标准，MM 模式下的等级和电压范围表

器件级 ESD 和系统级 ESD 比较

通常情况下，IC 公司会根据行业标准设计、测试和验证其 IC 的器件级 ESD 性能，以确保在 IC 生产或组装到 PCB 期间不会发生 ESD 损伤，而系统级的 ESD 则用于模拟终端用户在使用整套产品时对外界 ESD 的抗扰能力。在终端客户的使用环境下，外界的系统级 ESD 电击强度远高于 IC 的器件级 ESD。

器件级 ESD 和系统级 ESD 比较，脉冲电压范围、脉冲峰值电流、脉冲上升时间、脉冲电压冲击次数等参数均有明显的差异，从下方表格和图 1 上可以直观体现：

	HBM	CDM	MM	IEC 61000-4-2
脉冲电压范围 (V)	0 至 ≥ 8000	0 至 ≥ 1000	0 至 ≥ 800	2000 至 15000
脉冲峰值电流 (A)	1.3	5	3	30
脉冲上升时间 (nS)	25	<1	5	<1
脉冲电压冲击次数	2	2	2	20

表 4. 器件级 ESD 和系统级 ESD 比较表

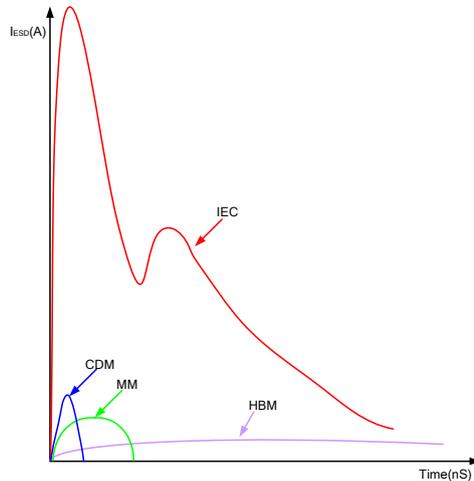


图 1. 器件级 ESD 和 IEC 系统级 ESD 的波形

IEC 61000-4-2 标准下的系统级 ESD 能量远高于 JEDEC 标准下的器件级 ESD，故即使是 HBM 模式下最高等级 Class 3B ($\geq 8000V$) 的 IC，在没有外围保护电路下也非常容易在系统级 ESD 测试时失效。

系统级 ESD 脉冲上升时间小于 1nS，而 HBM 模式下脉冲上升时间一般需要 25nS，这就造成按照 HBM 模型设计的 IC 内部保护电路的响应时间远达不到系统级 ESD 的标准。另外，器件级 ESD 测试仅要求正负各 3 次的脉冲电压测试，而系统级 ESD 要求连续正负各 10 次的脉冲电压，系统级 ESD 测试中累加的损伤更容易使芯片失效。

系统级 ESD 测试保护电路

IEC 61000-4-2 标准要求在进行系统级 ESD 测试时需要在 IC 前端添加 TVS 作为保护器件, 由于测试时正脉冲电压和负脉冲电压均会存在, 所以一般建议如图 3 所示在 IC 前端添加双向 TVS。

参考图 2 伏安特性曲线, TVS 选取时需要遵循的原则: TVS 的击穿电压 V_{BR} 要大于 IC 稳定工作时的最高输入电压, TVS 的钳位电压 V_C 要小于 IC 的极限耐压值, 其中 I_{PP} 为最大峰值脉冲电流, I_T 为标称 V_{BR} 下的测试电流。例如, 极限耐压为 40V 的 IC, IC 稳定工作时的最高输入电压为 12V, 那么选取的 TVS 管的击穿电压 V_{BR} 需要大于 12V, 钳位电压 V_C 需要小于 40V。

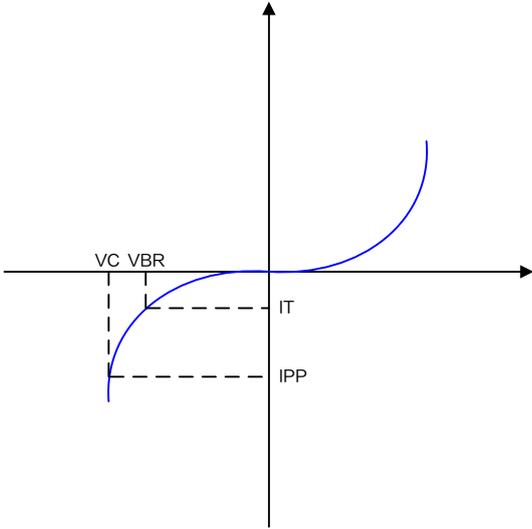


图 2. 双向 TVS 伏安特性曲线

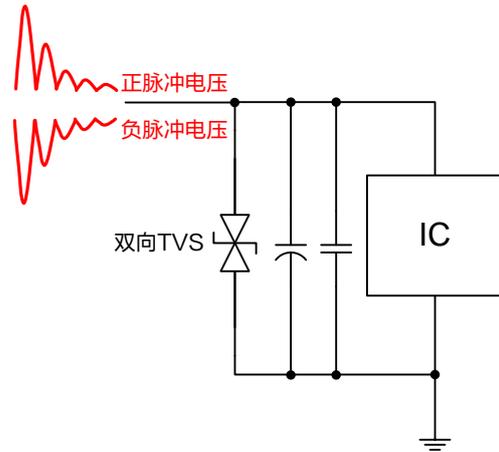


图 3. IEC 系统级保护电路